

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11120898 A**(43) Date of publication of application: **30.04.99**

(51) Int. Cl.
H01J 1/30
G09F 9/30
H01J 31/12

(21) Application number: **09286504**(22) Date of filing: **20.10.97**(71) Applicant: **HITACHI LTD**

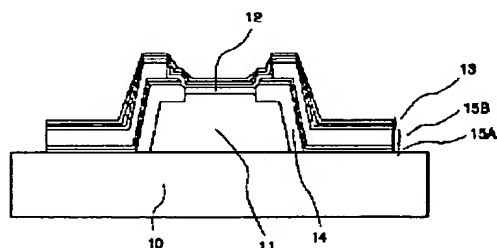
(72) Inventor: **KUSUNOKI TOSHIAKI**
SUZUKI MUTSUZOU

(54) THIN-FILM TYPE ELECTRON SOURCE AND
DISPLAY DEVICE USING THE SAME

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a structure of which can be hardly cut off the electric connection between an upper electrode and an upper electrode bus line by forming the upper electrode and the upper electrode bus line having the thinned connecting side on a protective insulating layer, and connecting the upper electrode to its thinned part, while covering the upper electrode bus line.

SOLUTION: In a cross section equivalent to a single electron source of a thin-film type electron source, an opening part of a thin upper electrode bus line lower layer 15A approaches an electron-emitting part surrounded by a protective insulating layer 14 more than an opening part of an upper electrode bus line upper layer 15B. An upper electrode is formed of the upper electrode bus line upper layer 15B, the upper electrode bus line lower layer 15A, the protective insulating layer 14 and an insulating layer 12 of the electron emitting part surrounded by it. Since the upper electrode bus line lower layer 15A is thin, the upper electrode 13 is hardly disconnected in its step difference part, and no matter how steep a step difference of the upper electrode bus line upper layer 15B is, electrical contact with an upper electrode bus line is maintained. Therefore, the upper layer 15B may be thickened to any extent.



COPYRIGHT: (C)1999,JPO



Home

Search

List

☐ Include

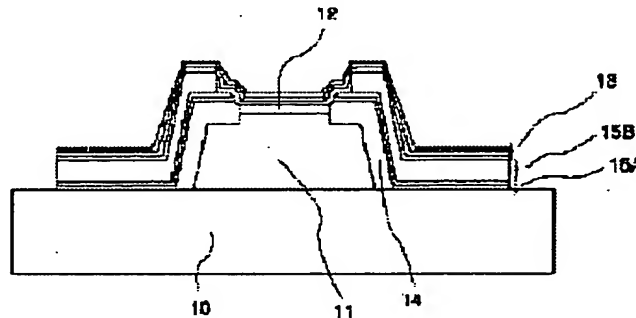
3

MicroPatent® PatSearch FullText: Record 1 of 1

Search scope: ☒ US Granted ☒ US Applications ☒ JP ; Claims, Title or Abstract

Years: 1990-2002

Text: Application No.: 09-286504



Order This Patent

Family Lookup

Citation Indicators

Go to first matching text

JP11120898 A

**THIN-FILM TYPE ELECTRON SOURCE AND DISPLAY DEVICE USING THE SAME
HITACHI LTD**

Inventor(s):KUSUNOKI TOSHIAKI ;SUZUKI MUTSUZOU

Application No. 09286504 JP09286504 JP, Filed 19971020,A1 Published 19990430

Abstract: PROBLEM TO BE SOLVED: To provide a structure of which can be hardly cut off the electric connection between an upper electrode and an upper electrode bus line by forming the upper electrode and the upper electrode bus line having the thinned connecting side on a protective insulating layer, and connecting the upper electrode to its thinned part, while covering the upper electrode bus line.

SOLUTION: In a cross section equivalent to a single electron source of a thin-film type electron source, an opening part of a thin upper electrode bus line lower layer 15A approaches an electron-emitting part surrounded by a protective insulating layer 14 more than an opening part of an upper electrode bus line upper layer 15B. An upper electrode is formed of the upper electrode bus line upper layer 15B, the upper electrode bus line lower

layer 15A, the protective insulating layer 14 and an insulating layer 12 of the electron emitting part surrounded by it. Since the upper electrode bus line lower layer 15A is thin, the upper electrode 13 is hardly disconnected in its step difference part, and no matter how steep a step difference of the upper electrode bus line upper layer 15B is, electrical contact with an upper electrode bus line is maintained. Therefore, the upper layer 15B may be thickened to any extent.

Int'l Class: H01J00130; G09F00930 H01J03112

Patents Citing This One (2):

- WO0126128A1 20010412 HITACHI, LTD.
ELECTRON SOURCE, METHOD OF MANUFACTURE THEREOF,
AND DISPLAY DEVICE
- WO0120639A1 20010322 HITACHI, LTD.
DISPLAY DEVICE AND METHOD OF MANUFACTURE THEREOF

[Home](#)[Search](#)[List](#)

For further information, please contact:
[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-120898

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 J 1/30

H 0 1 J 1/30

M

G 0 9 F 9/30

3 6 0

G 0 9 F 9/30

3 6 0

H 0 1 J 31/12

H 0 1 J 31/12

C

審査請求 未請求 請求項の数5 O L (全 13 頁)

(21) 出願番号

特願平9-286504

(22) 出願日

平成9年(1997)10月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 楠 敏明

東京都国分寺市東盛ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 鈴木 睦三

東京都国分寺市東盛ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 薄膜型電子源およびそれを用いた表示装置

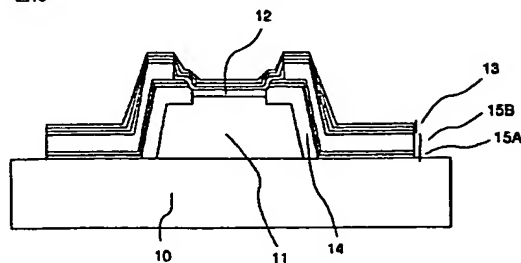
(57) 【要約】

【課題】 上部電極と上部電極バスラインとの間の電氣的接続が断たれ難い構造の薄膜型電子源およびそれを用いた表示装置を提供する。

【解決手段】 電子放出部を構成する絶縁層の周囲に形成された、この絶縁層より厚い保護絶縁層上に、上部電極との接続側が薄くなっている上部電極バスラインを形成し、上部電極を上部電極バスラインを覆いかつその薄くなっている部分と接続する。

【効果】 上部電極バスラインの厚い部分の膜厚を厚くすることが可能になるので、大きなサイズの表示パネルでも均一な明るさの画像表示を実現できる。また、上部電極の断線に起因するドット落ちなどの不良が減り歩留が向上する。

図19



【特許請求の範囲】

【請求項1】絶縁性基板と、該絶縁性基板上に下部電極、絶縁層、上部電極の順で積層されかつマトリクス状に配置された電子放出部と、上記絶縁層の周囲に形成された上記絶縁層より厚い保護絶縁層と、該保護絶縁層上に形成された上記上部電極との接続側が薄くなっている上部電極バスラインを有し、上記上部電極は上記上部電極バスラインを覆いかつ上記薄くなっている部分と接続していることを特徴とする薄膜型電子源。

【請求項2】上記上部電極バスラインは、上記薄くなっている部分を含む下層膜と、該下層膜上に形成された上層膜との積層膜からなっており、上記下層膜の上面部はPt、Au、Ir、RhおよびRuから成る群の中から選ばれた1つの膜からなることを特徴とする請求項1記載の薄膜型電子源。

【請求項3】上記絶縁層は絶縁体膜と半導体膜を積層したものからなることを特徴とする請求項1又は2に記載の薄膜型電子源。

【請求項4】上記絶縁層は多孔質半導体を有していることを特徴とする請求項1又は2に記載の薄膜型電子源。

【請求項5】請求項1乃至4のいずれかに記載の薄膜型電子源が形成された基板と、蛍光体を塗布した面板とが、上記薄膜型電子源から放出される電子が上記蛍光体に当たる配置で真空封止された表示装置パネルと、上記下部電極に接続された下部電極駆動回路と、上記上部電極バスラインに接続された上部電極駆動回路を有することを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、下部電極-絶縁層-上部電極の3層構造の電子放出部を有し、上部電極から真空中に電子を放出する薄膜型電子源およびそれを用いた表示装置に関する。

【0002】

【従来の技術】互いに直交する電極群の各交点に冷陰極を形成した冷陰極アレイを用いた表示装置としては、例えば、特開平4-289644号公報に記載されているフィールド・エミッションディスプレイ(FED)がある。FEDは、各画素に多数の電界放出陰極を配置し、そこからの電界放出電子を真空中で加速したのち蛍光体に照射し、発光させるものである。

【0003】これに対し、薄膜型電子源は、下部電極、絶縁層、上部電極の3層薄膜構造の下部電極と上部電極の間に電圧を印加して、トンネル現象等により絶縁層を透過した電子を、上部電極表面から真空中に放出させるものである。上部電極、下部電極に金属を用いたMIM

(金属-絶縁体-金属)型電子源や、少なくとも一方に半導体を用いたMIS(金属型-絶縁体-半導体)型電子源などがある。MIM電子源については、例えば、特開平7-65710号公報に示されている。また、絶縁層を絶縁体膜と半

導体膜を下部電極の上にこの順に積層して構成したものや積層順序を逆にしたもの、或いは多孔質半導体で構成したもの、さらには多孔質半導体の上面を酸化したものも知られている。

【0004】

【発明が解決しようとする課題】FEDに用いる電界放出陰極に較べると、薄膜型電子源は、表面汚染に強く、動作電圧が低いなど、表示装置に好ましい特性を有している。しかし、従来は素子端部の絶縁層に電界が集中し、絶縁破壊が起こるため寿命が短いことや、上部電極が薄く電気抵抗が高いため、薄膜型電子源をマトリクス状に形成したとき、面内の電子放出量が不均一になるなどの問題があった。これらの問題に対し、われわれは、素子端部の絶縁層の電界集中を防止する厚い保護絶縁層と、上部電極の配線抵抗を低減する上部電極バスラインを形成し、長寿命動作、面内均一な電子放出が得られる薄膜型電子源の構造と製造方法等を特願平8-250279号で述べた。この構造は、上部電極バスライン層を覆って上部電極層が成膜されており、上部電極バスライン層と上部電極層の積層膜からなる上部電極バスラインを形成していることに特徴がある。上部電極を最後に形成する構造を採用することにより、絶縁層のプロセスダメージを防止あるいは修復することができ、信頼性の高い薄膜電子源を作製することができる。さらに保護絶縁層上には上部電極バスライン、絶縁層上には上部電極を自己整合で作製することも可能になる。

【0005】ところで大型の表示装置などを作製する場合、配線抵抗の増大が問題となるため上部電極バスラインは厚ければ厚いほどよい。しかしながら、上部電極バスラインを厚くしすぎると上部電極バスライン端部の段差が急峻になり、上部電極バスライン上から成膜される上部電極が段差部で断線しやすくなり、不良が発生しやすくなる。

【0006】本発明の目的は、上部電極と上部電極バスラインとの間の電氣的接続が断たれ難い構造の薄膜型電子源およびそれを用いた表示装置を提供することにある。

【0007】

【課題を解決するための手段】上記目的は、電子放出部を構成する絶縁層の周囲に形成された、この絶縁層より厚い保護絶縁層上に、上部電極との接続側が薄くなっている上部電極バスラインを形成し、上部電極を上部電極バスラインを覆いかつその薄くなっている部分と接続することにより達成できる。

【0008】

【発明の実施の形態】

実施例1

図1乃至図19を用いて実施例1の薄膜型電子源を説明する。図1は薄膜電子源の製造工程フロー、図2乃至図18は各工程における平面図および断面図、図19は薄膜型電子

源の1電子源分の断面図である。

【0009】はじめに、工程P1において、ガラス等の絶縁性の基板10上に、下部電極11作成用の薄膜としてAl膜を例えば300nmの膜厚で形成する。このAl膜の形成には、例えば、スパッタリング法や抵抗加熱蒸着法、MBE法などを用いる。つぎにこのAl膜をフォトリソグラフィによるレジスト形成とそれにづくエッチングによりストライプ状に加工し、図2に示すように下部電極11を形成する。エッチングはウェットエッチング、ドライエッチングのいずれも可能である。

【0010】以下、絶縁層12、保護絶縁層14、上部電極バスライン下層15A、上部電極バスライン上層15B、上部電極13で構成される本発明の特徴部の作製プロセスを述べる。

【0011】まず、工程P2により図3に示すように、化成電圧は4Vの陽極酸化法により、膜厚5.5nmのAl₂O₃絶縁層12を形成した。

【0012】続いて、工程P3および図4に示すように、マトリクス状に配置された電子放出部となる領域を被覆するレジストパターンR1をマトリクス状に形成する。

【0013】次に、工程P4および図5に示すように、陽極酸化法により保護絶縁層14を形成する。レジストパターンR1で被覆した部分は酸化されず薄い絶縁層のままとなり、電子放出部となる。レジストパターンR1で被覆されていない部分は前記したように工程12によりあらかじめ絶縁層が形成されているが、高い化成電圧をかければさらに酸化を進行させることができ、厚い保護絶縁層14を形成することができる。本実施例では、化成電圧を50Vとし、68nmの保護絶縁層14を形成した。陽極酸化を用いることにより、厚い保護絶縁層14を形成しても、保護絶縁層14と絶縁層12の境界での段差が小さく、後に形成する上部電極13が断線しにくい。保護絶縁層14形成後、レジストパターンR1は剥離しておく。

【0014】続いて上部電極バスライン下層15Aと上部電極バスライン上層15Bからなる上部電極バスライン15の作製法を示す。

【0015】まず、工程P5および図6に示すように電子放出部を囲む領域と、上部電極バスライン15間のスペースとなる部分を被覆するレジストパターンR2を形成する。

【0016】この後、工程P6および図7に示すように上部電極バスライン下層15Aとなる金属膜を全面に成膜する。この上部電極バスライン下層15Aとなる金属膜は、基板10や絶縁層12との接着性が強い金属膜と、表面が酸化されにくい金属膜をこの順で積層した膜を用いる。表面が酸化されにくい金属膜を用いることにより、後に形成する上部電極バスライン上層15B、上部電極13との電氣的接触を確実にすることができる。接着性に優れた金属膜は、表面が酸化されにくい金属膜の接着性が要求を満たす場合はなくても良い。本実施例では基板10や絶縁

層12との接着性が強い金属膜としてMoを、表面が酸化されにくい金属膜としてPtを用いた。基板10や絶縁層12との接着性が強い金属膜としてはCrやTa、W、Nbなど、また表面に酸化されにくい金属膜にはPtの他、Au、Ir、Rh、Ruなどが使用可能である。また上部電極バスライン下層15Aとなる金属膜の膜厚はできるだけ薄くしておくことが望ましい。本実施例ではMoを20nm、Ptを10nmとした。これにより上部電極バスライン15Aの段差が小さくなり、後に形成する上部電極13の断線を防止することができる。上部電極バスライン下層15Aとなる金属膜はその後、工程P7および図8に示すようにレジストパターンR2をリフトオフすることにより、電子放出部を囲む領域が開いたストライプ状の上部電極バスライン下層15Aとなる。

【0017】上部電極バスライン上層15Bはリフトオフ法あるいはエッチング法により作製する。リフトオフ法による加工を行う場合、まず工程P8および図9に示すように、電子放出部を囲み、かつ上部電極バスライン下層15Aの開口部も囲む領域と、上部電極バスライン15間のスペースとなる部分を被覆するレジストパターンR3を形成する。

【0018】この後、工程P9および図10に示すように、上部電極バスライン上層15Bとなる金属膜を全面に成膜する。本実施例では低抵抗材料のAlを用い、膜厚は1μm程度と厚くしておく。低抵抗材料としてはAlの他、Auなども使用可能である。成膜法はリフトオフ法で加工する場合、抵抗加熱蒸着法など成膜時の粒子の直進性がよい方法で作製する。これにより、レジストパターンR3側面への膜付着が少なく、膜厚が厚い場合でもリフトオフが容易となる。この上部電極バスライン上層15Bの膜厚を厚くすることにより、上部電極バスライン15本来の目的である配線抵抗の低減が可能となる。成膜後は工程P10および図11に示すようにレジストパターンR3のリフトオフにより、電子放出部を囲みさらに上部電極バスライン下層15Aの開口部も囲む領域が開いているストライプ状の上部電極バスライン上層15Bが形成される。

【0019】エッチング法により加工を行う場合、まず工程P11および図12に示すように、電子放出部を囲む領域を被覆するレジストパターンR4を形成する。次に工程P12および図13に示すように、上部電極バスライン上層15Bとなる金属膜を成膜する。本実施例ではAlを用い、膜厚は1μm程度と厚くした。エッチング法で加工する場合、成膜法はスパッタリング法など成膜時の粒子の直進性が悪い方法でも構わない。次に工程P13および図14に示すように、レジストパターンR4を囲む領域が開口し、上部電極バスライン上層15Bとなる部分が被覆されるレジストパターンR5を形成する。続いて工程P13および図15に示すように上部電極バスライン上層15Bとなる金属膜のエッチングを行い、上部電極バスライン上層15Bを形成する。この場合、保護絶縁層14、上部電極バスライン

上層15Aと電子放出部を被覆したレジストパターンR5がエッチングストップとなる。エッチング後はレジストパターンR4、R5を剥離しておく。

【0020】最後に上部電極13を形成するプロセスを述べる。まず、工程P14および図16に示すように、上部電極13間のスペースとなる部分を被覆するレジストパターンR6を形成する。ここで絶縁層12はレジストの現像時に現像液等によるダメージを受けやすいため修復する。そこで、レジストパターンをつけたまま、絶縁層12の再陽極酸化を行う。本実施例では化成電圧を4Vとした。これにより絶縁層12の膜厚を変えずにダメージのみ修復できる。

【0021】次に工程P16および図17に示すように上部電極13となる金属膜の成膜を行う。上部電極13となる金属膜は耐熱性のよいIrを下層、Ptを中間層、電子放出効率のよいAuを上層とする3層膜などを用いる。本実施例では、それぞれの膜厚を、1 nm、2 nm、3 nmとし、全体で6 nmとした。この上部電極13となる金属膜は工程P17および図18に示すようにレジストをリフトオフすることによりストライプ状の上部電極13となる。

【0022】なお、本実施例では、上部電極は、電子放出部の他、保護絶縁層14、上部電極バスライン下層15A、および上部電極バスライン上層15Bを覆う様に形成したが、電子放出部と上部電極バスライン下層15Aを覆うだけでも良い。要するに、上部電極バスライン下層15Aと電気的接続が得られれば良い。

【0023】図19は、上記のように製造された薄膜型電子源の1電子源分の断面を示すものである。この構造は薄い上部電極バスライン下層15Aの開口部が、上部電極バスライン上層15Bの開口部より保護絶縁層14で囲まれた電子放出部に近接しており、上部電極が上部電極バスライン上層15B、上部電極バスライン下層15A、保護絶縁層14とそれに囲まれた電子放出部の絶縁層12上から形成されている特徴的な構造となっている。上部電極バスライン下層15Aは薄いため、上部電極13はその段差部で断線にくく、上部電極バスライン上層15Bの段差がどんなに急峻でも、上部電極バスライン15との電気的接触は保たれる。したがって上部電極バスライン上層15Bはいくらでも厚く形成でき、低抵抗な上部電極バスライン15を実現できる。

【0024】実施例2

図2乃至3、図20乃至図31により実施例2の薄膜電子源を説明する。図20は薄膜電子源の製造工程フロー、図2乃至3、図21乃至図30は各工程における平面図および断面図、図31は薄膜型電子源の1電子源分の断面図である。

【0025】まず、工程P21により、図2に示すように下部電極11を形成した後、工程P22により図3に示すように、化成電圧が4Vの陽極酸化法により、膜厚5.5 nmの Al_2O_3 絶縁層12を形成した。つづいて工程P23により図21

に示すように、溶剤に対する溶解特性が現像後のポストベーク温度によって変化するレジスト、たとえばキノン・ジアザイド系のポジ型フォトリソレジストを用い、上部電極バスライン15間のスペースとなる部分を被覆するレジストパターンR11をまず形成し、140~160℃の高温でポストベーク処理する。この場合、熱縮合するため、アセトンやアルコールには不溶となり別の溶剤が必要である。つづいて工程P24により図22に示すようにマトリクス状に配置された電子放出部を被覆するレジストパターンR12をマトリクス状に形成し、70~130℃の低温でポストベークする。このレジストパターンR12はアセトンやアルコールに可溶である

続いて、工程P25により図23に示すように、これらのレジストパターンR11、R12をマスクとし、電子放出部以外を陽極酸化して保護絶縁層14を形成する。保護絶縁層14の膜厚は化成電圧によって制御することができる。ここでは化成電圧を50Vとし、膜厚68 nmの Al_2O_3 保護絶縁層14を形成した。

【0026】つぎに工程P26により図24に示すように上部電極バスライン下層15Aとなる金属膜を成膜する。上部電極バスライン下層15となる金属膜は、Moなど、基板10や絶縁層12との接着性に優れた金属をまず成膜し、つづいてPtなどの表面が酸化され難い金属を成膜する。絶縁層12との接着性が強い金属膜の材料としてはCrやTa、W、Nbなど、また表面が酸化され難い金属膜の材料としてはPtの他、Au、Ir、Rh、Ruなどが使用可能である。これらの金属を用いることにより後で形成する上部電極バスライン上層15B、上部電極12との電気的接触を確保できる。また上部電極バスライン下層15Aとなる金属膜の膜厚はできるだけ薄くしておくことが望ましい。本実施例ではMoを20 nm、Ptを10 nmとした。これにより後に形成する上部電極13の断線を防止することができる。その後、工程P27および図25に示すように、アセトンに浸漬することによりレジストパターンR12をリフトオフし、上部電極バスライン下層15Aとなる金属膜の電子放出部に相当する部分を除去し開口する。このとき、レジストパターンR11は剥離されずに残る。

【0027】次に、工程P28および図26に示すように、上部電極バスライン下層15Aとなる金属膜の開口部およびその周囲の領域をレジストパターンR13で被覆する。

【0028】この後、工程P29および図27に示すように上部電極バスライン上層15Bとなる金属膜を成膜する。本実施例では低抵抗材料のAlを用い、蒸着法で作成した。Alの他、Auなども使用可能である。上部電極バスライン上層15Bとなる金属膜の膜厚は1 μm程度と厚くしておく。これにより上部電極バスライン15本来の目的である配線抵抗の低減が可能となる。成膜後は工程P30および図28に示すようにアセトンによるレジストパターンR13のリフトオフにより、上部電極バスライン上層15Bとなる金属膜の電子放出部に相当する部分およびその周囲の

領域を除去し開口する。

【0029】本実施例では、上部電極バスライン上層の加工法に関しリフトオフ法のみ記述したが、実施例1で示したエッチング法も同様の手法で可能である。

【0030】次に工程P31および図29に示すように上部電極13となる金属膜の成膜を行う。上部電極13となる金属膜は、耐熱性のよいIrを下層、Ptを中間層、電子放出効率のよいAuを上層とする3層膜などを用いる。本実施例では、それぞれの膜厚を、1nm、2nm、3nmとし、全体で6nmとした。

【0031】最後に工程P32および図30に示すようにストライプのレジストパターンR11をリフトオフすることにより、上部電極バスライン下層15A、上部電極バスライン上層15Bおよび上部電極13を同時にストライプ状に加工する。

【0032】なお、本実施例では、上部電極は、電子放出部の他、上部電極バスライン下層15A、および上部電極バスライン上層15Bを覆う様に形成したが、電子放出部と上部電極バスライン下層15Aを覆うだけでも、電気的接続は得られるので構わない。

【0033】以上のプロセスにより本発明の構造を持つ薄膜電子源マトリクスが完成する。図31は、上記のように製造された薄膜型電子源の1電子源分の拡大断面を示すものである。この構造は薄い上部電極バスライン下層15Aの開口部が保護絶縁層14上に自己整合で形成され電子放出部に接しており、厚い上部電極バスライン上層15Bの開口部が電子放出部から離れているおり、上部電極が上部電極バスライン上層15B、上部電極バスライン下層15A、および電子放出部の絶縁層12上から形成されている特徴的な構造となっている。上部電極バスライン下層15Aは薄いため、上部電極13はその段差部で断線しにくく、上部電極バスライン上層15Bの段差がどんなに急峻でも、上部電極バスライン15との電気的接触は保たれる。したがって上部電極バスライン上層15Bはいくらでも厚く形成でき、低抵抗な上部電極バスライン15を実現できる。

【0034】実施例3

図32乃至36を用いて実施例3の表示装置を説明する。図32は表示装置パネルにおける下部電極11の長さ方向の部分断面図であり、実施例1又は2の薄膜型電子源を形成した基板10と表示側の面板110がスペーサ60を挟んで対向する構成になっている。表示側となる面板110には透光性のガラスなどを用いる。

【0035】まず、表示装置のコントラストを上げる目的でブラックマトリクス120を形成する。ブラックマトリクス120は図33に於て蛍光体114間に配置される。

【0036】ブラックマトリクス120は、黒鉛粉末にPVA（ポリビニルアルコール）と重クロム酸アンモニウムとを混合した溶液を面板110に塗布し、ブラックマトリクス120を形成したい部分に紫外線を照射して感光させた

後、未感光部分を除去する。

【0037】次に赤色蛍光体114Aを形成する。蛍光体粒子にPVA（ポリビニルアルコール）と重クロム酸アンモニウムとを混合した水溶液を面板110上に塗布した後、蛍光体114を形成する部分に紫外線を照射して感光させた後、未感光部分を流水で除去する。このようにして赤色蛍光体114Aをパターン化する。パターンは図33に示したようなストライプ状にパターン化する。このストライプパターンは一例であって、それ以外にも、ディスプレイの設計に応じて、たとえば、近接する4ドットで一面素を構成させた「RGBG」パターンでももちろん構わない。蛍光体膜厚は1.4〜2層程度になるようにする。同様にして、緑色蛍光体114Bと青色蛍光体114Cを形成する。蛍光体としては、例えば赤色に $Y_2O_2S:Eu$ (P22-R)、緑色に $Zn_2SiO_4:Mn$ 、青色に $ZnS:Ag$ (P22-B)を用いればよい。

【0038】次いで、ニトロセルロースなどの膜でフィルミングした後、面板110全体にAlを、膜厚50〜300nm程度蒸着してメタルバック122とする。このメタルバック122が加速電極として働く。その後、面板110を400℃程度に加熱してフィルミング膜やPVAなどの有機物を加熱分解する。このようにして、面板110が完成する。

【0039】このようにして作製した面板110と基板10とスペーサ60とを封着する。面板110-基板10間の距離は1〜3mm程度になるようにスペーサ60の厚さを設定する。面板110と基板10との位置関係は図33に示したとおりである。図34には、基板10上に形成した薄膜電子源のパターンを図33に対応させて示してある。

【0040】スペーサ60の形状は例えば図32のようにする。ここでは、R（赤）、G（緑）、B（青）に発光するドット毎、すなわち電子放出部の3列毎にスペーサ60の支柱を設けているが、機械強度が耐える範囲で、支柱の数（密度）を減らしても構わない。スペーサ60の製作は、厚さ1〜3mm程度のガラスやセラミックスなどの絶縁板に例えばサンドブラスト法などで所望の形状の穴を加工する。

【0041】封着したパネルは、 1×10^{-7} Torr程度の真空中に排気して、封じきる。このようにして、薄膜電子源を用いた表示パネルが完成する。

【0042】このように本実施例では、面板110と基板10間の距離は1〜3mm程度と長いので、メタルバック122に印加する加速電圧を3〜6KVと高電圧に出来る。したがって、上述のように、蛍光体114には陰極線管（CRT）用の蛍光体114を使用できる。

【0043】図35はこのようにして製作した表示装置パネルの駆動回路への結線図である。下部電極11は下部電極駆動回路61へ結線し、上部電極13は上部電極駆動回路62に結線する。n番目の下部電極11 K_n と、m番目の上部電極バスライン15 C_m の交点を（n、m）で表すことにする。メタルバック122には3〜6KV程度の加速電圧63を常

時印加する。

【0044】図36は、各駆動回路の発生電圧の波形を示す。時刻 t_0 ではいずれの電極も電圧ゼロであるので電子は放出されず、したがって、蛍光体114は発光しない。時刻 t_1 において、下部電極11 K1には $-V_1$ なる電圧を、上部電極13 C1、C2には $+V_2$ なる電圧を印加する。交点(1、1)、(1、2)の下部電極11-上部電極13間には (V_1+V_2) なる電圧が印加されるので、 (V_1+V_2) を電子放出開始電圧以上に設定しておけば、この2つの交点の薄膜型電子源からは電子が真空中に放出される。放出された電子はメタルバック122に印加された加速電圧63により加速された後、蛍光体114にぶつかり、蛍光体114を発光させる。時刻 t_2 において、下部電極11のK2に $-V_1$ なる電圧を印加し、上部電極13のC1に V_2 なる電圧を印加すると、同様に交点(2、1)が点灯する。このようにして、上部電極13に印加する信号を変えることにより所望の画像または情報を表示することが出来る。また、上部電極13への印加電圧 V_1 の大きさを適宜変えることにより、階調のある画像を表示することが出来る。

【0045】本発明の表示装置においては、表示パネルの上部電極バスライン15は上部電極バスライン上層15Bを厚く形成でき、パネル全長にわたり低抵抗であるから、大型の表示装置でも均一な明るさの画像表示が得られる。さらに上部電極13の断線が防止でき、ドット落ちなどの不良発生がなくなり、パネル製作の歩留まり向上が実現できる。

【0046】

【発明の効果】本発明によれば、上部電極バスラインの厚い部分の膜厚を厚くすることが可能になるので、大きなサイズの表示パネルでも均一な明るさの画像表示を実現できる。また、上部電極の断線に起因するドット落ちなどの不良が減り歩留が向上する。

【図面の簡単な説明】

【図1】本発明の実施例1の薄膜型電子源の製造方法を示す工程フロー図である。

【図2】図1における下部電極形成段階の平面図(a)及び断面図(b)である。

【図3】図1における絶縁層形成段階の平面図(a)及び断面図(b)である。

【図4】図1におけるレジストパターンR1形成段階の平面図(a)及び断面図(b)である。

【図5】図1における保護絶縁層形成段階の平面図(a)及び断面図(b)である。

【図6】図1におけるレジストパターンR2形成段階の平面図(a)及び断面図(b)である。

【図7】図1における上部電極バスライン下層となる金属膜成膜段階の平面図(a)及び断面図(b)である。

【図8】図1における上部電極バスライン下層形成段階の平面図(a)及び断面図(b)である。

【図9】図1におけるレジストパターンR3形成段階の平面図(a)及び断面図(b)である。

【図10】図1における上部電極バスライン上層となる金属膜成膜段階の平面図(a)及び断面図(b)である。

【図11】図1における上部電極バスライン上層形成段階の平面図(a)及び断面図(b)である。

【図12】図1におけるレジストパターンR4形成段階の平面図(a)及び断面図(b)である。

【図13】図1における上部電極バスライン上層となる金属膜成膜段階の平面図(a)及び断面図(b)である。

【図14】図1におけるレジストパターンR5形成段階の平面図(a)及び断面図(b)である。

【図15】図1における上部電極バスライン上層形成段階の平面図(a)及び断面図(b)である。

【図16】図1におけるレジストパターンR6形成段階の平面図(a)及び断面図(b)である。

【図17】図1における上部電極成膜段階の平面図(a)及び断面図(b)である。

【図18】図1における上部電極形成段階の平面図(a)及び断面図(b)である。

【図19】本発明の実施例1の薄膜型電子源の1電子源分の断面図である。

【図20】本発明の実施例2の薄膜型電子源の製造方法を示す工程フロー図である。

【図21】図20におけるレジストパターンR11形成段階の平面図(a)及び断面図(b)である。

【図22】図20におけるレジストパターンR12形成段階の平面図(a)及び断面図(b)である。

【図23】図20における保護絶縁層形成段階の平面図(a)及び断面図(b)である。

【図24】図20における上部電極バスライン下層となる金属膜成膜段階の平面図(a)及び断面図(b)である。

【図25】図20における上部電極バスライン下層形成段階の平面図(a)及び断面図(b)である。

【図26】図20におけるレジストパターンR13形成段階の平面図(a)及び断面図(b)である。

【図27】図20における上部電極バスライン上層となる金属膜成膜段階の平面図(a)及び断面図(b)である。

【図28】図20における上部電極バスライン上層形成段階の平面図(a)及び断面図(b)である。

【図29】図20における上部電極成膜段階の平面図(a)及び断面図(b)である。

【図30】図20における上部電極形成段階の平面図(a)及び断面図(b)である。

【図31】本発明の実施例2の薄膜型電子源の1電子源分の断面図である。

【図32】本発明の実施例3の表示装置の表示パネルにおける下部電極の長さ方向の部分断面図である。

【図33】図32における蛍光面位置での平面図である。

【図34】図32における基板の平面図である。

【図35】本発明の実施例3の表示装置における表示パネルと駆動回路との結線図である。

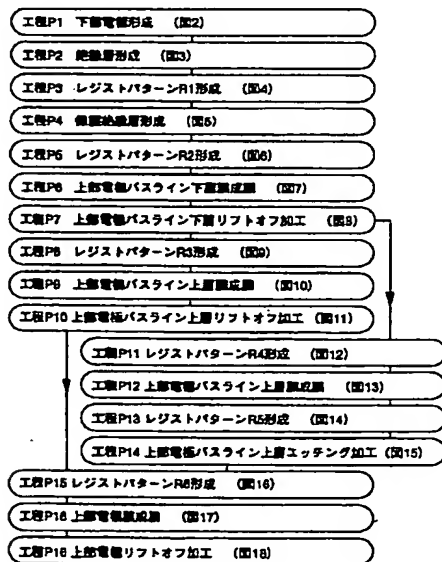
【図36】本発明の実施例3の表示装置の駆動電圧波形図である。

【符号の説明】

10・・・基板、11・・・下部電極、12・・・トンネル絶縁層、13・・・上部電極、14・・・保護絶縁層、15・・・上部電極バスライン、15A・・・上部電極バスライン下層、15B・・・上部電極バスライン上層、R1・・・実施例1における電子放出部を被覆するレジストパターン、R2・・・実施例1における上部電極バスライン下層

【図1】

図1

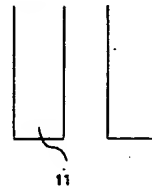


加工用レジストパターン、R3・・・実施例1における上部電極バスライン上層リフトオフ加工用レジストパターン、R4・・・実施例1における電子放出部保護用レジストパターン、R5・・・実施例1における上部電極バスライン上層エッチング加工用レジストパターン、R5・・・実施例1における上部電極形成用レジストパターン、R11・・・実施例2における電子放出部を被覆するレジストパターン、R12・・・実施例2における上部電極バスライン加工用レジストパターン、R13・・・実施例2における上部電極バスライン上層の開口部加工用レジストパターン、60・・・スペーサ、61・・・下部電極駆動回路、62・・・上部電極駆動回路、63・・・加速電圧、110・・・面板、114・・・蛍光体、120・・・ブラックマトリクス、122・・・メタルバック。

【図2】

図2

(a)平面図



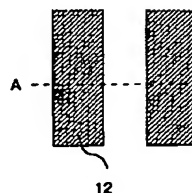
(b)断面図



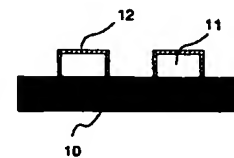
【図3】

図3

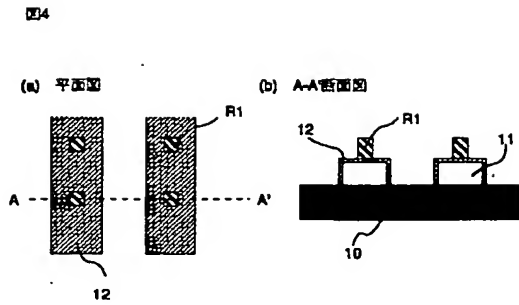
(a) 平面図



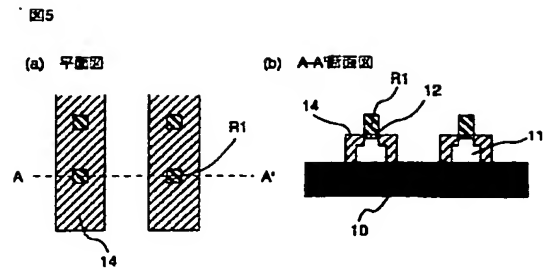
(b) A-A断面図



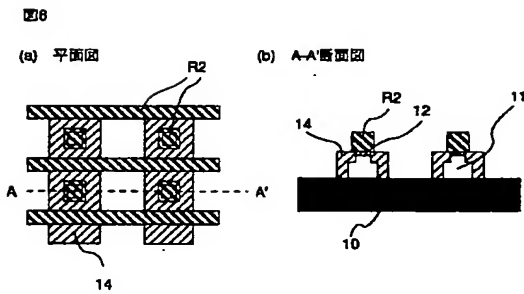
【図4】



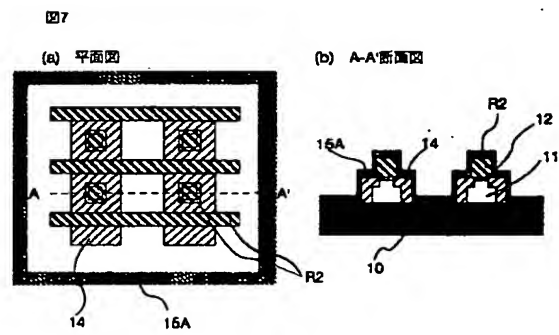
【図5】



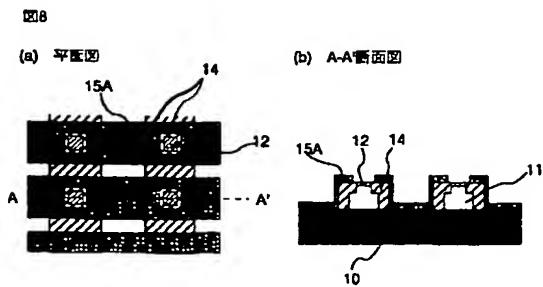
【図6】



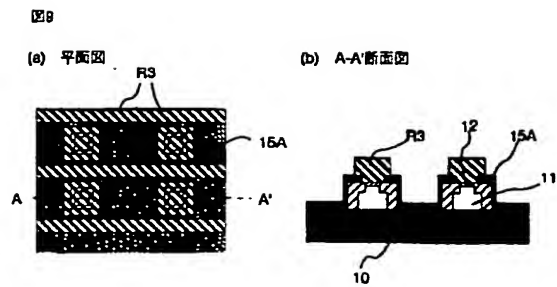
【図7】



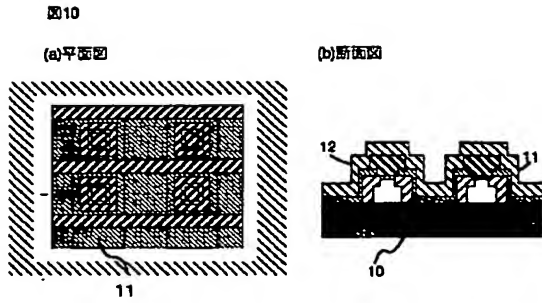
【図8】



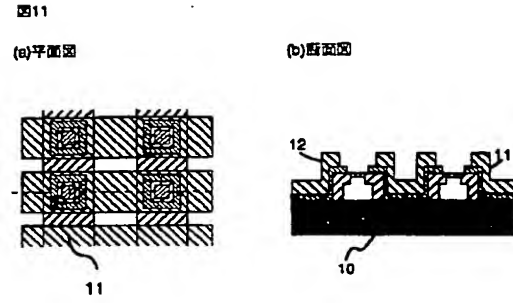
【図9】



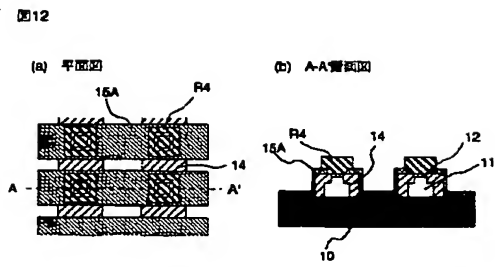
【図10】



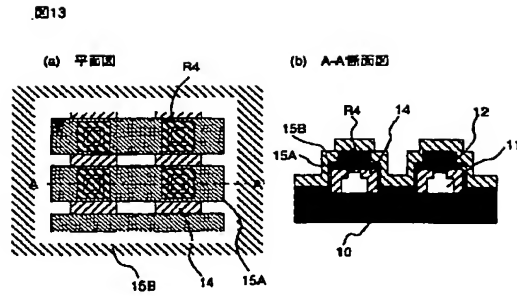
【図11】



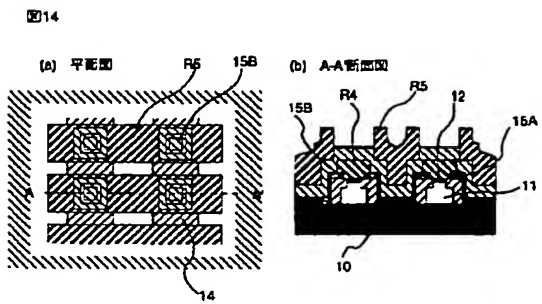
【図12】



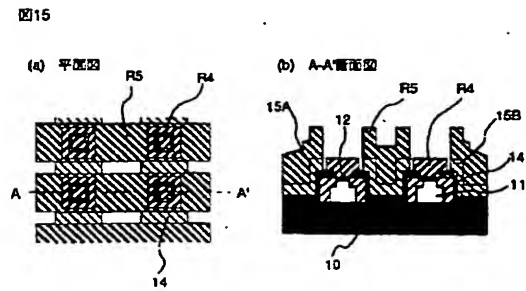
【図13】



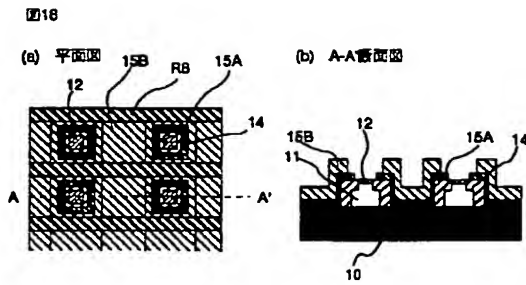
【図14】



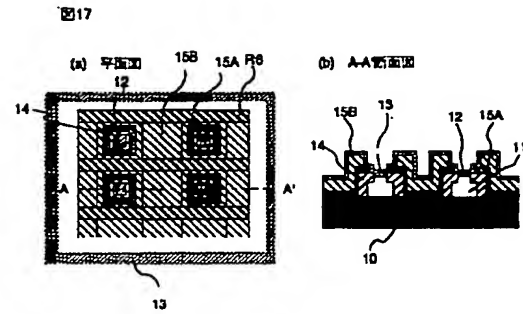
【図15】



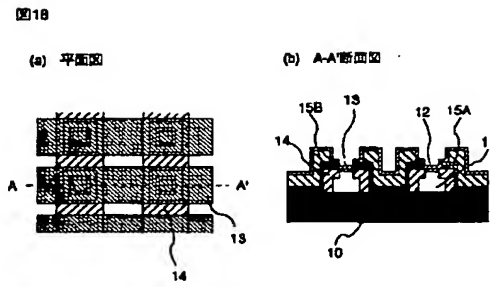
【図16】



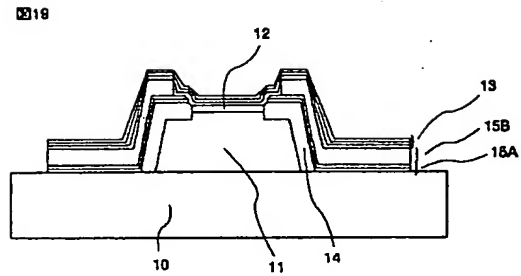
【図17】



【図18】



【図19】



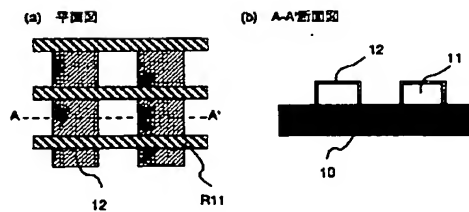
【図20】

図20

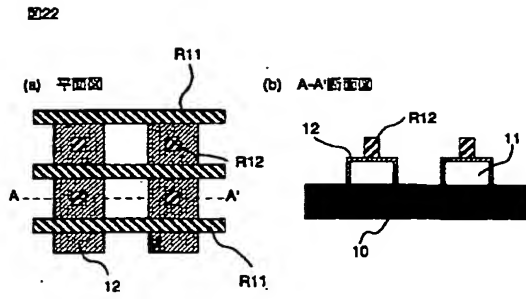
工程P21	下層電極形成 (図2)
工程P22	絶縁層形成 (図3)
工程P23	レジストパターンR11形成 (図21)
工程P24	レジストパターンR12形成 (図22)
工程P25	保護絶縁層形成 (図23)
工程P26	上部電極バスライン下部形成 (図24)
工程P27	レジストパターンR12リフトオフ (図25)
工程P28	レジストパターンR13形成 (図26)
工程P29	上部電極バスライン上部形成 (図27)
工程P30	レジストパターンR13リフトオフ (図28)
工程P31	上部電極形成 (図29)
工程P32	レジストパターンR11リフトオフ (図30)
工程P16	上部電極リフトオフ加工 (図31)

【図21】

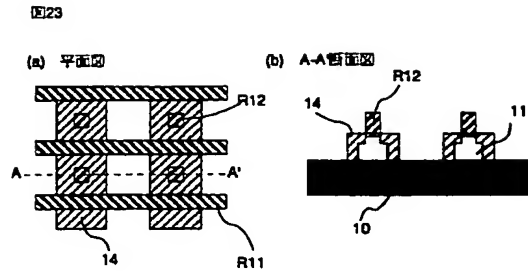
図21



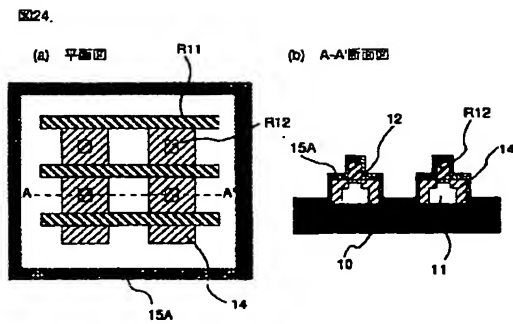
【図22】



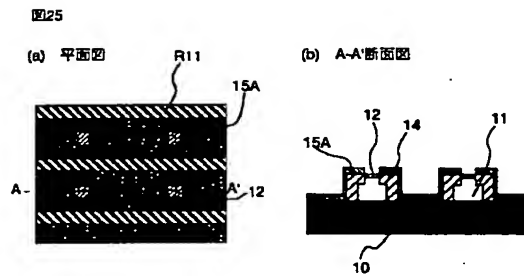
【図23】



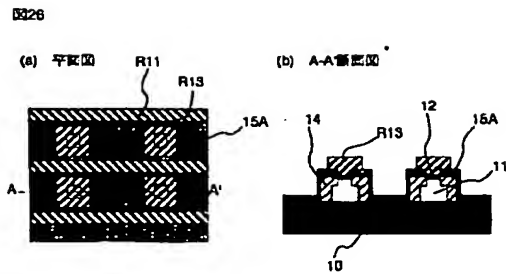
【図24】



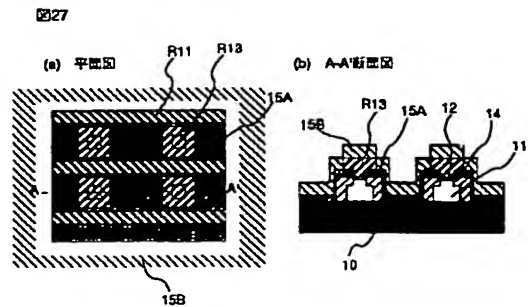
【図25】



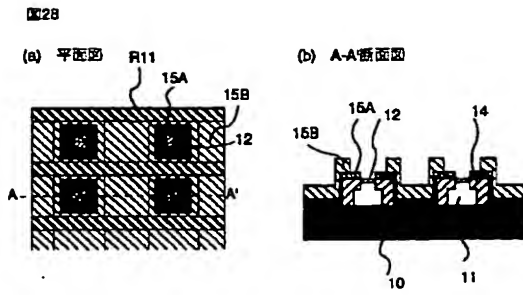
【図26】



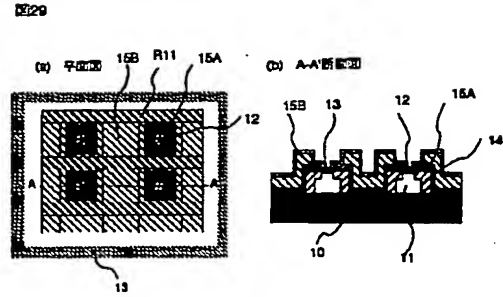
【図27】



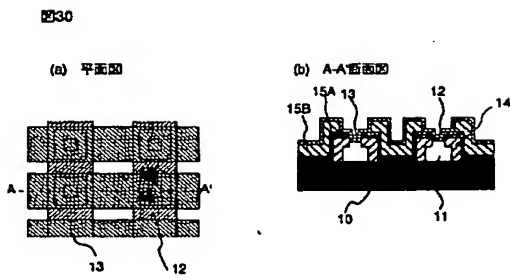
【図28】



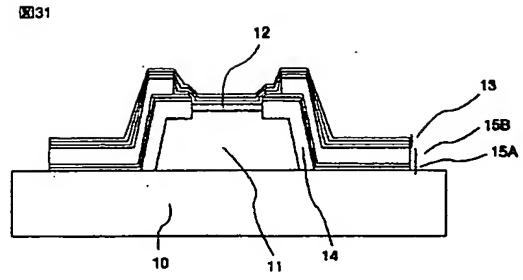
【図29】



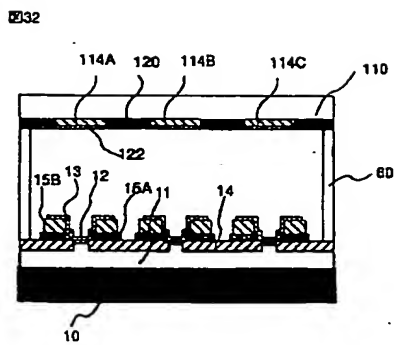
【図30】



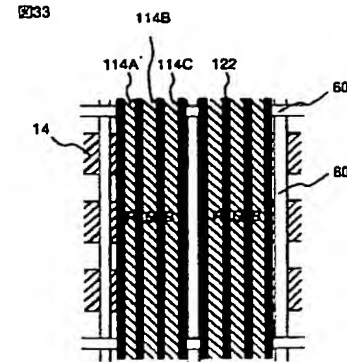
【図31】



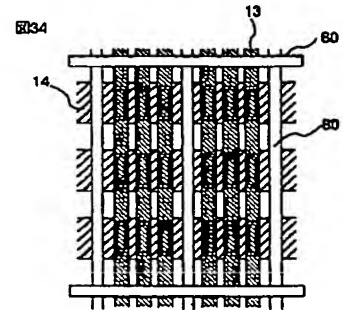
【図32】



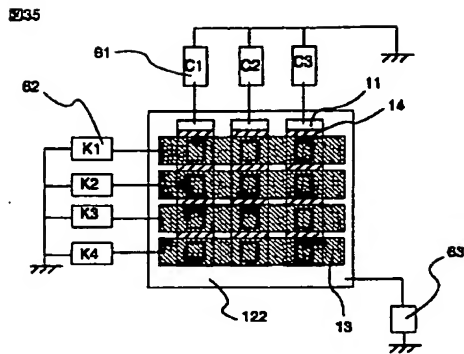
【図33】



【図34】



【図 3 5】



【図 3 6】

